

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-275958

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 H 7/01

A 8321-5 J

H 0 1 C 7/10

H 0 1 G 4/40

9174-5 E

審査請求 未請求 請求項の数6(全 6 頁)

(21)出願番号 特願平4-100429

(22)出願日 平成4年(1992)3月25日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神2丁目26番10号

(72)発明者 中村 和敬

京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内

(72)発明者 谷 広次

京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内

(72)発明者 米田 康信

京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内

(74)代理人 弁理士 下市 努

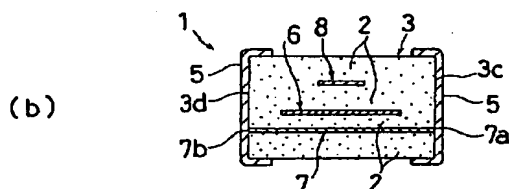
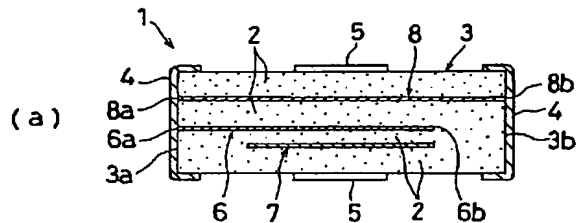
最終頁に続く

(54)【発明の名称】 ノイズフィルタ

(57)【要約】 (修正有)

【目的】 電圧制御能力を向上して半導体デバイスの破壊、誤動作を確実に防止でき、長寿命のノイズフィルタを提供する。

【構成】 電圧非直線特性を有する半導体磁器3の左、右端面3a、3bに端面電極4を形成するとともに、前、後側面3c、3dに側面電極5を形成する。また上記半導体磁器3の内部に第1内部電極6を埋設するとともに、該第1内部電極6の一端面6aのみを上記右側の端面電極4に接続し、上記半導体磁器3の内部に上記第1内部電極6とセラミック層2を挟んで重なり合う第2内部電極7を埋設するとともに、該第2内部電極7の両端面7a、7bを上記側面電極5に接続する。そして、上記半導体磁器3の内部に少なくとも1つの抵抗体8を埋設し、該抵抗体8の両端面8a、8bを上記端面電極4に接続してノイズフィルタ1を構成する。また、上記抵抗体材料は RuO_x 、 Pb_2Ru_xO 、又は Bi_xRu_xO により構成する。



【特許請求の範囲】

【請求項1】 電圧非直線特性を有する半導体磁器の左、右端面に端面電極を形成するとともに、上記端面以外の両側面に側面電極を形成し、上記半導体磁器の内部に第1内部電極を埋設するとともに、該第1内部電極の一端面を上記一方の端面電極に接続し、上記半導体磁器の内部に上記第1内部電極とセラミック層を挟んで重なり合う第2内部電極を埋設するとともに、該第2内部電極の両端面を上記側面電極に接続し、さらに上記半導体磁器の内部に少なくとも1つの抵抗体を埋設し、該抵抗体の両端面を上記端面電極に接続したことを特徴とするノイズフィルタ。

【請求項2】 請求項1において、上記抵抗体がRuを主成分とする材料により構成されていることを特徴とするノイズフィルタ。

【請求項3】 請求項1又は2において、上記抵抗体の成分がRuO₂に、Pb、Ru、O、又はBi、Ru、O、の一方、または両方を60wt%以下含む材料により構成されていることを特徴とするノイズフィルタ。

【請求項4】 請求項1ないし3のいずれかにおいて、上記抵抗体がセラミックグリーンシートに抵抗ペーストを印刷し、これを一体焼結して形成されたものであることを特徴とするノイズフィルタ。

【請求項5】 請求項1ないし4のいずれかにおいて、上記半導体磁器がZnOを主成分としたセラミック材料により構成されていることを特徴とするノイズフィルタ。

【請求項6】 請求項1ないし5のいずれかにおいて、上記半導体磁器の端面電極及び側面電極を除く表面部分がガラス膜で覆われていることを特徴とするノイズフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、バリスタ特性、コンデンサ特性、及び抵抗特性を兼ね備えた3端子型のノイズフィルタに関し、特に電圧制御能力を向上して半導体デバイスの破壊、誤動作を確実に防止でき、かつ部品点数、実装コストを低減できるとともに、寿命特性の悪化を回避できるようにしたノイズフィルタに関する。

【0002】

【従来の技術】コンピュータ機器に採用されるIC、LSIをはじめとする半導体デバイスにおいては、静電気サージ等のトランジェントノイズの侵入によって破壊、誤動作するのを防止することが重要な課題となっている。このようなトランジェントノイズの侵入から防御する方法として、従来、セットや基板のグラウンドの設定や基板内の電子部品素子の配列を工夫したり、あるいはディスク型バリスタやLCフィルタを回路に付加することによりノイズを吸収するのが一般的である。なかでも上記バリスタは、回路に加えることが比較的簡単であり、

しかも低電圧、低容量であることから他の方法に比べてノイズ吸収素子として適している。またノイズ吸収素子としてバリスタを採用する場合、バリスタ電圧はできるだけ回路電圧に近づける必要があることから、低電圧化が要求される。

【0003】また、近年、コンピュータ機器の小型化、薄型化が進むなかで、上記バリスタにおいても小型化、SMT（表面実装技術）化への対応が要請されている。しかし、上記ディスク型バリスタではその構造からして小型化、SMT化に対応できない。このようなディスク型バリスタに代わるものとして、従来、積層型バリスタが提案されている（例えば、特公昭58-23921号公報参照）。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の積層型バリスタでは、小型化、SMT化には対応できるものの、制限電圧能力は従来のディスク型バリスタとほとんど変わらないことから、ノイズの侵入から半導体デバイスを保護しきれない場合があり、この点での向上が要請されている。また、上記半導体デバイスの破壊電圧はその種類によって異なるが、MOS-IC等では40～60Vで破壊するものが多い。一方、上記積層型バリスタの電圧抑制能力はバリスタ電圧の2～3倍であり、このバリスタ電圧が低いほど比率は大きくなることから、静電気等のインパルスでは抑制電圧はさらに高くなり、その結果上記積層型バリスタ単独では保護できない場合がある。

【0005】ここで、上記積層型バリスタに抵抗を付加することによって、実力値以上の電圧抑制能力を得ることが可能である。この場合、上記積層型バリスタに抵抗素子を別途外付けすると、この素子が増える分だけコストが上昇するとともに、実装スペースが拡大するという問題が生じる。また、上記積層型バリスタの表面に抵抗膜を被覆形成することも考えられるが、このようにすると外部からの機械的負荷により抵抗膜が損傷し易く、その結果電気的特性が悪化し、寿命特性が低下するという問題が生じる。

【0006】本発明は、上記従来の状況に鑑みてなされたもので、電圧抑制能力を向上してノイズによる半導体デバイスの破壊、誤動作を確実に防止でき、さらにはコストの上昇や実装スペースの拡大を回避できるとともに、寿命特性の悪化を回避できるノイズフィルタを提供することを目的としている。

【0007】

【課題を解決するための手段】そこで本発明は、電圧非直線特性を有する半導体磁器の左、右端面に端面電極を形成するとともに、上記端面以外の両側面に側面電極を形成し、上記半導体磁器の内部に第1内部電極を埋設するとともに、該第1内部電極の一端面を上記一方の端面電極に接続し、上記半導体磁器の内部に上記第1内部電

極とセラミック層を挟んで重なり合う第2内部電極を埋設するとともに、該第2内部電極の両端面を上記側面電極に接続し、さらに上記半導体磁器の内部に少なくとも1つの抵抗体を埋設し、該抵抗体の両端面を上記端面電極に接続したことを特徴とするノイズフィルタである。

【0008】ここで、上記抵抗体を構成する材料としては、Ruを主成分とするのが適当であり、特にRuO₂、Pb、Ru₂O₃、又はBi、Ru₂O₃、のいずれかを混合するのが望ましい。これにより抵抗値の制御が容易にでき、またこれと合わせて抵抗体の長さ、面積、及び積層数を適宜変えることによって所望の抵抗値に設定できるからである。また上記Pb、Ru₂O₃、Bi、Ru₂O₃、の添加量は60wt%以下にするのが望ましい。これを越えると抵抗値にばらつきが生じるからである。さらに、半導体磁器を構成するセラミック材料としては、焼成時の温度を考慮するとZnOを主成分としたものを採用するのが適当である。さらにまた、上記半導体磁器の各電極を除く表面部分にガラス膜を被覆形成するのが望ましい。これにより耐湿性を向上できるとともに、

【0009】

【作用】本発明に係るノイズフィルタによれば、半導体磁器の端面電極間に抵抗体を付加したので、第1、第2内部電極間で電圧非直線特性を得ながら、上記抵抗体で該バリスタの実力値以上の電圧制御能力が得られることとなり、トランジェントノイズの侵入による半導体デバイスの破壊や誤動作を確実に防止できる。また、上記抵抗体を半導体磁器の内部に埋設したので、抵抗部品を別途外付けする場合のコストの上昇、及び実装スペースの拡大を回避でき、さらには半導体磁器の表面に抵抗膜を被覆形成する場合の、外部からの機械的負荷による損傷を回避でき、寿命特性を向上できる。

【0010】

【実施例】以下、本発明の実施例を図について説明する。図1ないし図4は本発明の一実施例によるノイズフィルタを説明するための図である。図において、1は本実施例の電圧非直線特性、コンデンサ特性、及び抵抗特性を兼ね備えた3端子型のノイズフィルタである。このノイズフィルタ1は、ZnOを主成分とする複数のセラミック層2を積層し、この積層体を一体焼結してなる直方体状の半導体磁器3から構成されている。この半導体磁器3の左、右端面3a、3bにはAgからなる外部回路接続用の端面電極4、4が形成されており、上記半導体磁器3の長手方向の前、後側面3c、3dの中央部には同じくAgからなる外部回路接続用の側面電極5、5が形成されている。

【0011】また、上記半導体磁器3の内部にはAg-Pd合金からなる第1内部電極6が埋設されている。この内部電極6の一端面6aは半導体磁器3の右側端面3aに露出して端面電極4に接続されており、他端面6b

は半導体磁器3の左側端面3bに近接して該半導体磁器3内に封入されている。

【0012】さらに、上記半導体磁器3の内部には上記セラミック層2を挟んで平行に重なり合う第2内部電極7が埋設されている。この第2内部電極7の両端面7a、7bはそれぞれ半導体磁器3の前、後側面3c、3dに露出して側面電極5に接続されており、これにより第1、第2内部電極6、7で挟まれた部分が電圧非直線特性を発現するセラミック層2となっている。さらに、図示していないが、上記半導体磁器3の端面電極4、側面電極5を除く外表面にはガラス膜が被覆形成されている。

【0013】そして、上記半導体磁器3内の第1内部電極6の上部には、RuO₂、Pb、Ru₂O₃、及びBi、Ru₂O₃、を60wt%以下混合してなる抵抗体8が埋設されている。この抵抗体8は半導体磁器3の両端面3a、3b方向に延びる帯状のもので、該抵抗体8の両端面8a、8bは上記両端面3a、3bに露出して端面電極4に接続されている。また上記抵抗体8はこれの厚さ、幅を選定することにより所定の抵抗値に設定されている。

【0014】次に本実施例のノイズフィルタ1の一製造方法について説明する。まず、純度99%以上のZnOを主成分とし、これにBi₂O₃、CoCO₃、MnO₂、及びSb₂O₃をそれぞれ98mol%、0.5mol%、0.5mol%、0.5mol%、及び0.5mol%の割合で秤量し、これに純水を加えてボールミルで24時間混合してスラリーを形成する。次にこのスラリーを濾過乾燥して造粒した後、800℃の温度で2時間仮焼成する。

【0015】次に、上記仮焼成物をバルベライザーにより粗粉碎した後、これに純水を加えてボールミルで微粉碎する。次いで、この微粉末を濾過乾燥させた後、有機バインダーとともに溶媒中に分散させてスラリーを形成する。この後、このスラリーからドクターブレード法により厚さ50μmのセラミックグリーンシートを形成し、このグリーンシートを所定寸法の大きさに打ち抜いて複数枚のセラミック層2を形成する。

【0016】次に、Ag-Pd(7:3)合金からなる導電ペーストを上記セラミック層2の上面にスクリーン印刷して第1内部電極6を形成する。この内部電極6は一端面6aがセラミック層2の右側外縁に位置し、他端面6b及び残りの端面がセラミック層2の内側に位置するように形成する。また、別のセラミック層2の上面に同じく導電ペーストを印刷して第2内部電極7を形成する。この第2内部電極7は、両端面7a、7bがセラミック層2の長手方向両側縁に位置し、残りの端面がセラミック層2の内側に位置するように形成する。

【0017】次いで、RuO₂、Pb、Ru₂O₃、及びBi、Ru₂O₃、を60wt%以下混合し、これにガラス10wt%ワニスを加えて抵抗ペーストを作成し、この抵抗ペ

ーストを別のセラミック層2の上面にスクリーン印刷して抵抗体8を形成する。この抵抗体8は、両端面8a、8bがセラミック層2の左、右外縁に位置し、他の端面がセラミック層2の内側に位置するように形成する。

【0018】そして、図3に示すように、第1内部電極6と第2内部電極7とがセラミック層2を挟んで対向するよう重ね、上記第1内部電極6の上面にダミー用セラミック層2を介在させて抵抗体8が形成されたセラミック層2を重ねるとともに、これの上面、下面にダミー用セラミック層2を2枚重ねる。次に、これの積層方向に 2 t/cm^2 の圧力を加えて圧着し、積層体を形成する。

【0019】次に、上記積層体を所定寸法にカットし、これを900℃の温度で2時間焼成して半導体磁器3を得る。そして、この半導体磁器3の左、右端面3a、3b及び前、後側面3c、3dの中央部にAgペーストを塗布した後、800℃で10分間焼き付けて端面電極4及び側面電極5を形成する。しかる後、上記半導体磁器3の端面電極4、側面電極5を除く外表面にガラスペーストを塗布してガラス膜を形成する。これにより本実施例のノイズフィルタ1が製造される。

【0020】本実施例のノイズフィルタ1は、図4の等*

10

* 価回路図に示すように、一方の端面電極4、側面電極5間に電源を接続し、他方の端面電極4、側面電極5間に半導体デバイスAを接続する。これにより半導体デバイスAに異常電圧が加わるのを防止するとともに、バリスタ部Zの電圧抑制能力を越える過電圧エネルギーを抵抗体8でもって吸収することとなる。

【0021】このように本実施例によれば、半導体磁器3の端面電極4間に抵抗体8を付加するとともに、この抵抗体8を半導体磁器3内に埋設したので、半導体デバイスAの破壊電圧より大きいノイズが侵入しても抵抗体8で抑制することができ、その結果ICやLSI等の半導体デバイスの破壊や誤動作を確実に回避できる。また、上記抵抗体8を半導体磁器3に内蔵した構造であるから、抵抗部品を別途外付けする場合に比べて部品コストを低減できるとともに、実装スペースを縮小でき、ひいてはコンピュータ機器の小型化に対応できる。さらに、半導体磁器の表面に抵抗膜を被覆形成する場合に比べて外力による損傷を回避でき、寿命特性を向上できる。

20

【0022】

【表1】

添加材料	1	2	3	4	5	※6	7	8	9
RuO ₂	100	90	80	60	40	20	80	40	80
Pb ₂ Ru ₂ O ₇	—	10	20	40	60	80	—	—	10
Bi ₂ Ru ₂ O ₇	—	—	—	—	—	—	20	60	10

(wt%)

【0023】

※ ※ 【表2】

サンプルNo.	抵抗値 (Ω)	3CV (%)	V _{1mA} (V)	3CV (%)	α	3CV (%)	Cap. (pF)	3CV (%)
MONITOR	0.1	9.8	32.6	6.4	35	3.4	210	5.5
1	225	5.8	31.1	6.5	34	3.1	213	6.3
2	390	6.5	32.7	7.1	36	4.6	220	6.8
3	789	7.2	31.8	6.2	35	4.1	219	5.7
4	1570	9.7	32.7	5.8	37	3.8	219	7.4
5	8530	18.1	32.1	7.8	34	2.6	224	5.5
6 ※	75800	39.6	31.3	6.4	36	3.7	225	6.3
7	548	8.4	31.5	7.3	36	4.2	218	7.0
8	7640	15.6	32.0	7.2	35	3.5	220	6.2
9	420	5.5	32.4	6.9	35	3.2	217	7.2

【0024】表1及び表2は、本実施例のノイズフィルタ1の効果を確認するために行った試験結果を説明するためのものである。この試験は、表1に示すように、RuO₂に添加するPb₂Ru₂O₇又はBi₂Ru₂O₇量を80wt%以下の範囲内で変化させ、上述した製造方法により多数のサンプルNo.1～No.9を作成した。そして、この各サンプルNo.1～9の抵抗値(Ω)、バリスタ電圧(V_{1mA})、非直線係数(α)、及び静電容量値(pF)を測定するとともに、それぞれのばらつきを

50

調べた。なお、ばらつきは、 $3CV = \rho \times 3 / (\text{平均})$ で比較した。また、比較するために抵抗体かわりにAg-Pd合金を印刷してモニターを作成し、同様の測定を行った。

【0025】表1からも明らかなように、抵抗体8を付加しないモニターの場合は、バリスタ電圧、非直線係数、静電容量は問題がないものの、抵抗値は0.1Ωと低く電圧抑制能力が小さい。また、Ru化合物の添加量が80wt%のサンプルNo.6(※印参照)の場合は、抵抗値が75

800 Ωと著しく高く、電圧抑制抵抗値としては大き過ぎ、しかもばらつきが39.6%と大きくなっている。これに対して、Ru化合物の添加量が60wt%以下の各サンプル No. 1～5, No. 7～9の場合は、バリスタ電圧、非直線係数、静電容量のいずれも満足できる値が得られている。また、上記添加量が多くなるほど抵抗値が上昇し、ばらつきも大きくなる傾向があるものの、抵抗値は225～8530Ωと電圧抑制能力が向上しており、かつばらつきは5.5～18.1%と許容範囲内となっている。このことから、上記Ru化合物の添加量を60wt%以下の範囲内にするのが望ましい。ちなみに、上記各サンプル No. 1～9の抵抗体にノイズシミュレーターを用いて2KV・200nSECの方形波を印加したところ、いずれも抵抗体の変化は2%未満であった。

【0026】図5は、上記モニターとサンプル No. 1とを採用して、図4に示すような回路を構成し、これに高電圧パルスを印加したときのパルス波形を示す。同図からも明らかなように、モニター（実線で示す）の場合は200Vとなっているのに対して、サンプル No. 1（破線で示す）の場合は40V程度となっており、この点からも抵抗体を内蔵したものは電圧抑制能力が高く半導体デバイスの保護に有効であることがわかる。

【0027】

【発明の効果】以上のように本発明に係るノイズフィルタによれば、半導体磁器の内部に第1内部電極を埋設するとともに、セラミック層を挟んで重なり合う第2内部電極を埋設し、上記半導体磁器の内部に少なくとも1つの抵抗体を埋設し、該抵抗体の両端面を上記半導体磁器の左、右端面に形成された端面電極に接続したので、電*

* 圧制御能力を向上して半導体デバイスの破壊、誤動作を確実に防止できる効果があり、さらに部品点数、実装コストを低減できるとともに、寿命特性の悪化を回避できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例によるノイズフィルタを説明するための図である。

【図2】上記実施例のノイズフィルタを示す斜視図である。

【図3】上記実施例のノイズフィルタの分解斜視図である。

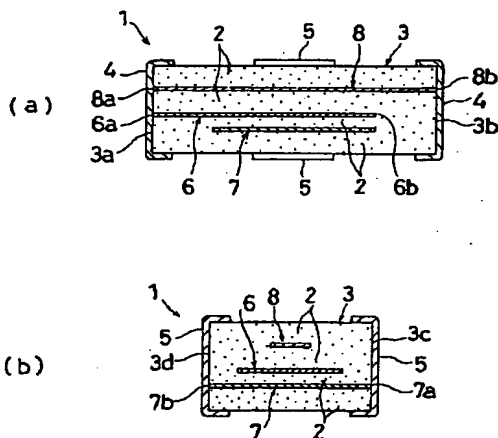
【図4】上記実施例のノイズフィルタの等価回路図である。

【図5】上記実施例のノイズフィルタの効果を示す特性図である。

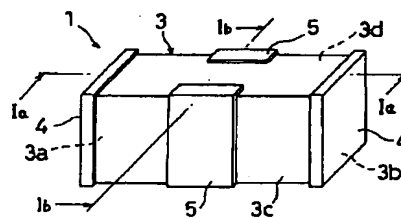
【符号の説明】

- 1 ノイズフィルタ
- 2 セラミック層
- 3 半導体磁器
- 3 a, 3 b 左, 右端面
- 3 c, 3 d 前, 後側面
- 4 端面電極
- 5 側面電極
- 6 第1内部電極
- 6 a 一端面
- 7 第2内部電極
- 7 a, 7 b 両端面
- 8 抵抗体
- 8 a, 8 b 両端面

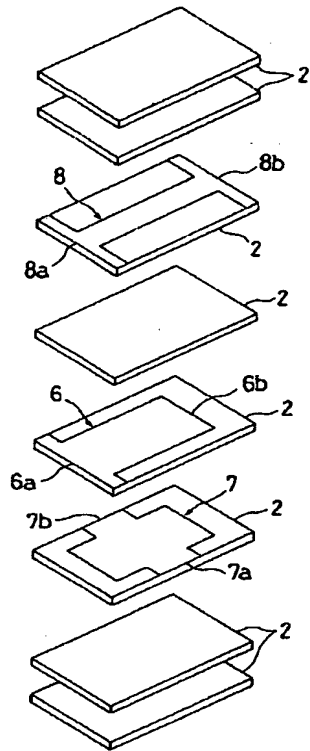
【図1】



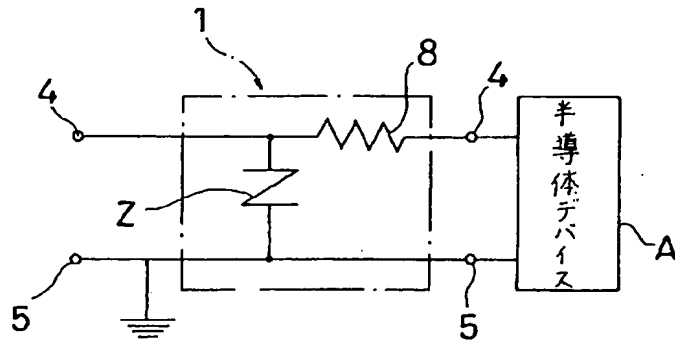
【図2】



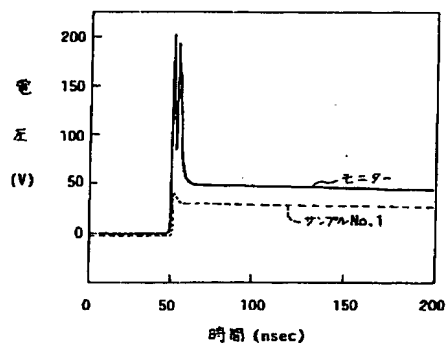
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 坂部 行雄
京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内